10年口碑积累，成功培养50000多名研发工程师，铸就专业品牌形象
华清远见的企业理念是不仅要做良心教育、做专业教育，更要做受人尊敬的职业教育。

《Windows CE 嵌入式开发入门—基于 Xscale 架构》

作者：华清远见

第 3 章 存储控制器

本章目标

任何一个处理器都必须与存储器紧密配合才能实现各种功能，处理器对存储器的控制能力对系统的整体性能有至关重要的影响。PXA255 通过 DMA 控制器(DMA Controller)、存储控制器(Memory Controller)和 MMU 实现对各种存储器的控制。

3.1 DMA 控制器（DMA Controller，DMAC）

DMA 控制传输（DMAC）是使 CPU 处理其他与数据总线无关的处理，而有 DMA 控制器负责数据传输的机制。这种机制使得 CPU 从繁重的数据传输中解脱出来，可以执行其他计算，从而大大提高了系统的运行速度。

PXA255 的 DMA 控制器提供了 16 个 DMA 通道，从 0～15。每个从外设传来的 DMA 请求信号必须持续一个时钟周期以上。这些通道提供了 flow-through 的数据传输方式。

DMA 控制器的框架如图 3-1 所示。

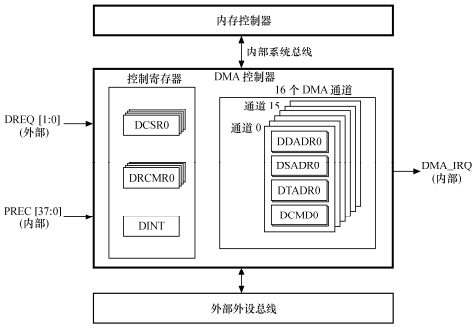

图 3-1 DMA 控制器

DMAC 只支持 flow-through 传输方式。flow-through 传输在数据被目标内存缓冲锁存之前，先通过 DMAC。DMAC 可以使用 flow-through 传输方式来执行内存至内存的数据传输。

3.1.1 DMAC 通道

DMAC 有 16 个通道，每个通道由 32 位的寄存器控制。每个通道都可以为 CPU 内部或者外部的模块提供 flow-through 数据传输。外设每次传输数据的大小和端口的大小必须在通道的控制寄存器中设置。

软件要确保 Cache 中数据的一致性，由于 DMA 控制器并不探测 Cache 中数据是否有效，因此，系统中为 DMA 分配的内存区域应该被设置成非缓冲型的。在外设向处理器请求 DMA 传输时，外设的缓冲区应该被填满，如果有未填满的缓冲区出现在 DMA 传输中，则被认为是本次传输的最后一个传输包。

3.1.2 DMA 信号

DMA 中要使用到的信号有 DREQ[1:0]、DMA_IRQ 和 PERQ[37:0]，具体如表 3-1 所示。

表 3-1 DMA 信号

信　　号	信号类型	来源/目标	描　　述
DREQ[1:0]	输入	来自引脚	外部设备请求线信号，DMA 探测这个信号的上升沿作为有效请求
DMA_IRQ	输出	中断控制器	高电平作为中断信号
PREQ[37:0]	输出	片上设备	内部设备的 DMA 请求信号线。片上设备使用 PREQ 来发送 DMA 请求

3.1.3 DMA 通道优先级模型

DMA 通道优先级模型允许请求高带宽需求的设备请求比低带宽需求设备更频繁地被处理。DMA 通道被分为 4 种类型，每种类型包含 4 个通道。通道在每个分类中按照 round-robin 优先级算法分配优先级。类型 0 具有最高优先级，类型 1 比类型 2、类型 3 的优先级高。类型 2、类型 3 具有相同的低优先级。高带宽需求设备必须被设置到类型 0 的 DMA 通道。内存至内存的数据移动以及低带宽需求的设备请求必须被标记成通道类型 2 或者 3。优先级模型并不能影响正在被执行的请求。

华清远见

当所有通道都在进行数据传输时，那么它们将被按照以下顺序执行：

- 类型 0 执行；
- 类型 1 执行；
- 类型 0 执行；
- 类型 2 执行；
- 类型 0 执行；
- 类型 1 执行；
- 类型 0 执行；
- 类型 3 执行。

在 8 次通道处理中，类型 0 将被执行 4 次，类型 1 被执行 2 次，类型 2、类型 3 各被执行 1 次。

3.1.4 DMA 描述符

DMAC 可以在两种模式下运行：无描述符存取模式和描述符存取模式。模式的选取由 DCSRx[NODESCFETCH]位决定。同样在同一时间内，不同的通道里可以分别使用这两种模式。
通道在转换运行模式之前必须停止数据处理。如果出现错误，则通道停留在停止状态，等待程序处理。

1．无描述符存取模式

在无描述符存取模式下，DDADRx 被保留。程序不可以向 DDADRx 中写入数据，并且必须加载 DSADRx、DTADRx 和 DCMDx 寄存器。当运行位被设置，DMAC 立刻运行以传输数据。无描述符存取在数据传输的开始时被执行。
一个典型的无描述符存取操作顺序如下。
（1）复位后，通道处于未初始化状态。
（2）设置 DCSR[RUN]位为 0，设置 DCSR[NODESCFETCH]位为 1。
（3）程序将源地址写入 DSADR 寄存器，将目标地址写入 DTADR 寄存器，将命令写入 DCMD 寄存器。
（4）向 DCSR[RUN]位中写入 1，然后无描述符存取被执行。
（5）通道等待数据传输请求。
（6）通道传输数据，数据量由 DCMD[SIZE]和 DCMD[LENGTH]较小者决定。
（7）在 DCMD[LENGTH]被设置为 0 之前，通道等待下一次数据请求。
（8）DDADR[STOP]被设置为 1，通道运行终止。
DMA 无描述符存取模式的状态如图 3-2 所示。

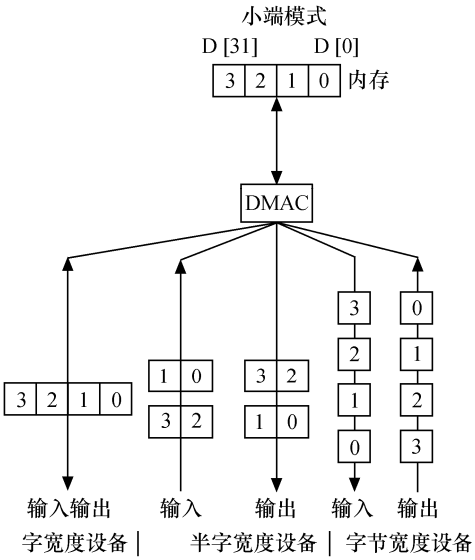

图 3-2 DMA 无描述符存取模式

2．有描述符存取模式

在有描述符存取模式下，DMAC 的寄存器用内存中的 DMA 描述符数据填充。多个 DMA 描述符可以被链成一个链表。这就允许 DMA 通道在一系列不连续的地址上进行数据传输。一个典型的有描述符存取模式的操作步骤如下。

（1）复位后，通道处于未初始化状态。

（2）程序将描述符地址（16 字节对齐）写入 DDADR 寄存器。

（3）程序向 DCSR[RUN]中写入 1。

（4）DMAC 从 DDADR 标记的地址中读取 4 字长的描述符，其中各字加载情况如下：

- Word [0] -> DDADRx 寄存器；
- Word [1] -> DSADRx 寄存器；
- Word [2] -> DTADRx 寄存器；
- Word [3] -> DCMDx 寄存器。

（5）通道等待数据传输请求。

（6）通道传输数据，数据量由 DCMD[SIZE]和 DCMD[LENGTH]较小者决定。

（7）在 DCMD[LENGTH]被设置为 0 之前，通道等待下一次数据请求。

（8）DDADR[STOP]被设置为 1，通道运行终止，否则继续运行。

DMA 请求描述符的第一个字的 0 位决定了本描述符是否是本次操作中最后一个描述符，如果是，则在处理完本描述符后，DMAC 停止操作。

DMA 有描述符存取模式的状态如图 3-3 所示。

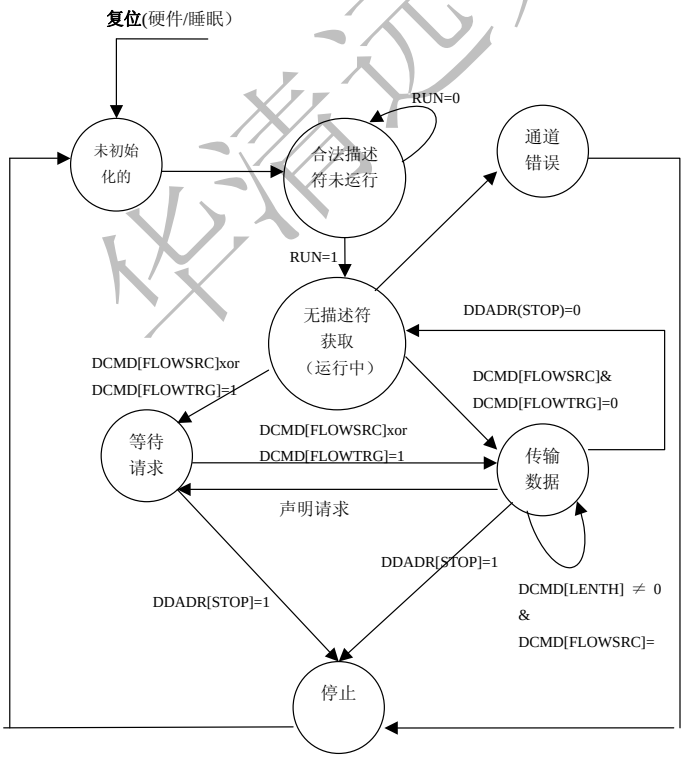

图 3-3　DMA 有描述符存取模式

3．中断处理

如果程序接收到一个描述存取成功的中断，例如 DCSRx[STARTINTR] = 0b1，则程序必须向这个位中写入 1 来清除中断标记。程序应当先读出 DCSRx 中的值，进行修改（DCSRx[STARTINTR]=0b1），不修改 DCSRx[RUN]，然后将修改后的值写回 DCSRx。

3.1.5 DMA 通道状态

一个 DMA 通道可以处于下列几种状态。

- 未初始化：通道在复位后处于未初始化状态。
- 有效描述符存取，未运行：在有描述符存取模式下，程序已经将描述符加载入通道的 DDADR；在非描述符存取模式下，已经设置了 DSADR、DTADR 和 DCMD 值，但是 DCSR[RUN]为 0。
- 描述符存取，运行：正从内存中读取 DMA 描述符。
- 等待请求：通道正在等待开始传输数据的请求。
- 数据传输：通道正在传输数据。
- 通道错误：通道产生了错误，通道停留在停止状态，直到程序清除 DCSR[RUN]位。
- 停止状态：通道终止运行。

3.1.6 读写顺序

DMAC 不能保证处理器到 I/O 设备（包括片上设备）的读写顺序。读写顺序必须由软件保证。

3.1.7 字节传输顺序

DCMD[ENDIAN]位定义了一个字的数据写入内存或者从内存读出的顺序。DCMD[ENDIAN]为 0 代表小端（Little Endian）模式顺序。

如果数据从内部设备传输到内存，DCMD[ENDIAN]被设置为 0，并且 DCMD[SIZE]被设置为 1，那么内存接收数据顺序如下：

- Byte[0]；
- Byte[1]；
- Byte[2]；
- Byte[3]。

小端模式传输顺序如图 3-4 所示。

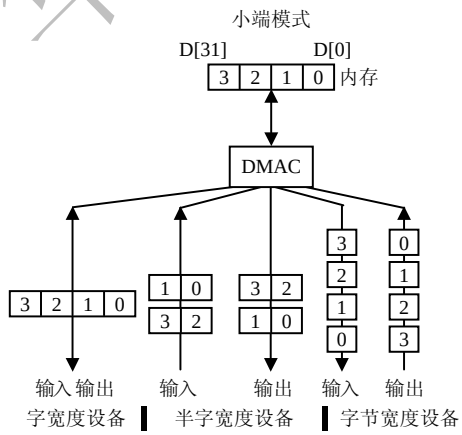

图 3-4 小端模式传输顺序

3.1.8 传输数据

内部设备通过设备总线连接到 DMAC，采用 flow-through 数据传输方式。DMAC 同样也可以执行内存至内存的 flow-through 数据传输。外部设备如伴随芯片直接和数据引脚连接，必须使用 flow-through 数据传输。

华清远见

但是 DMA 操作不支持向 flash 中写入数据，否则会产生一个总线错误。在 flow-through 模式下，数据在被目标设备锁存前，先经过 DMAC。

1．内部设备数据传输

通道映射寄存器（DRCMRx）中有 4 位用来为 DMA 请求分配 DMA 号。一个内部设备可以被映射到 16 个可能的通道。内部设备可以通过内部设备总线来产生有效请求（PREQ）。PREQ 信号被每个设备时钟（PCLK）采样，只要出现非 0 的（PCLK），就会触发一次 DRCMRx 寄存器相应位是否有效的查找。这允许请求被映射到不同的通道上。

如果内部设备地址被加载到 DSADR 中，DCMDx[FLOWSRC]位必须被设置为 1。这允许处理器在初始化传输之前等待传输请求。如果内部设备地址被加载到 DTADR，DCMDx[FLOWTRG]必须被设置为 1。

如果 DCMDx[IRQEN]位被设置为 1，则在 DCMDx[LENGTH]被减少至 0 后，产生一个 DMA 中断。

2．使用 flow-through DMA 读时序执行内部设备数据传输

当内部设备通过 PREQ 总线向 DMAC 产生一次 DMA 读请求后，就会执行一次 flow-through DMA 读操作。需要传输的数据容量由 DCMDx[SIZE]决定。当请求为最高优先级，则执行下列操作。

（1）DMAC 要求存储控制器读取数据容量到 DMAC 的缓冲区中，地址由 DSADRx[31:0]决定。

（2）DMAC 将数据传送到 I/O 设备中，地址由 DTADRx[31:0]决定，DCMD[WIDTH]描述了内部设备通信的数据宽度。

（3）在传输的最后，DSADRx 自增，增加值为 DCMDx[LENGTH]和 DCMD[SIZE]较小者，而 DCMDx[LENGTH]也自减去这个值。

对于向内部设备的 flow-through DMA 读操作，DMAC 寄存器应当进行如下设置：

- DSADR[SRCADDR] = 内存地址；
- DTADR[TRGADDR] = 内部设备地址；
- DCMD[INCSRCADDR] = 1；
- DCMD[FLOWSRC] = 0；
- DCMD[FLOWTRG] = 1。

3．使用 flow-through DMA 写时序执行内部设备数据传输

当内部设备通过 PREQ 总线向 DMAC 产生一次 DMA 写请求后，就会执行一次 flow-through DMA 写操作。需要传输的数据容量由 DCMDx[SIZE]决定。当请求为最高优先级时，则执行下列操作。

① DMAC 将由 DSADRx[31:0]标记地址的 I/O 数据读入 DMAC 写缓冲。

② DMAC 将数据通过内部总线传输到存储控制器。DCMD[WIDTH]描述了内部设备通信的数据宽度。

③ 在传输的最后，DTADRx 自增，增加值为 DCMDx[LENGTH]和 DCMD[SIZE]较小者，而 DCMDx[LENGTH]也自减去这个值。

对于向内部设备的 flow-through DMA 写操作，DMAC 寄存器应当如下设置：

- DSADR[SRCADDR] = 内部设备地址；
- DTADR[TRGADDR] = 内存地址；
- DCMD[INCTRGADDR] = 1；
- DCMD[FLOWSRC] = 1；
- DCMD[FLOWTRG] = 0。

华清远见

4. 伴随芯片和外部设备

（1）使用 flow-through DMA 读时序执行外部设备数据传输

当外部设备通过 DREQ[1:0]总线向 DMAC 产生一次 DMA 读请求后，就会执行一次 flow-through DMA 读操作。需要传输的数据容量由 DCMDx[SIZE]决定。当请求为最高优先级时，则执行下列操作。

① DMAC 要求存储控制器读取数据容量到 DMAC 的缓冲区中，地址由 DSADRx[31:0]决定。

② DMAC 将数据传送到 I/O 设备中，地址由 DTADRx[31:0]决定。DCMD[WIDTH]描述了内部设备通信的数据宽度。

③ 在传输的最后，DSADRx 自增，增加值为 DCMDx[LENGTH]和 DCMD[SIZE]较小者，而 DCMDx[LENGTH]也自减去这个值。

对于向外部设备的 flow-through DMA 读操作，DMAC 寄存器应当如下设置：

- DSADR[SRCADDR] = 内存地址；
- DTADR[TRGADDR] = companion chip 地址；
- DCMD[INCSRCADDR] = 1；
- DCMD[INCTRGADDR] = 0；
- DCMD[FLOWSRC] = 0；
- DCMD[FLOWTRG] = 1。

（2）使用 flow-through DMA 写时序执行外部设备数据传输

当外部设备通过 DREQ 总线向 DMAC 产生一次 DMA 写请求后，就会执行一次 flow-through DMA 写操作。需要传输的数据容量由 DCMDx[SIZE]决定。当请求为最高优先级时，则执行下列操作。

① DMAC 将由 DSADRx[31:0]标记地址的 I/O 数据读入 DMAC 写缓冲。

② DMAC 将数据通过内部总线传输到存储控制器。

③ 在传输的最后，DTADRx 自增，增加值为 DCMDx[LENGTH]和 DCMD[SIZE]较小者，而 CMDx[LENGTH]也自减去这个值。

对于向内部设备的 flow-through DMA 写操作，DMAC 寄存器应当如下设置：

- DSADR[SRCADDR] = 内部设备地址；
- DTADR[TRGADDR] = 内存地址；
- DCMD[INCSRCADDR] = 0；
- DCMD[INCTRGADDR] = 1；
- DCMD[FLOWSRC] = 1；
- DCMD[FLOWTRG] = 0。

5. 内存至内存数据移动

内存至内存数据移动不需要 DREQ 和 PREQ 的请求信号。处理器向 DCSR[RUN]中写入 1，然后有一个通道被配置成内存至内存移动。DCMDx[FLOWSRC]和 DCMD[FLOWTRG]必须被设置成 0。如果 DCMD[IRQEN]被设置为 1，在 DCMDx[LENGTH]减少为 0 时，产生一个 DMA 中断。

一次 flow-through DMA 内存至内存数据移动包含以下步骤。

① 处理器向 DCSR[RUN]中写入 1，开始内存至内存数据移动。

② 如果处于描述符存取模式，DMA 通道读取 4 字描述符。通道开始传输数据而不需要等待 PREQ 或者 DREQ 信号有效。DCMDx[SIZE]和 DCMDx[LENGTH]中较小者描述了传输的数据量。

③ DMAC 要求存储控制器读取数据容量到 DMAC 的缓冲区中，地址由 DSADRx[31:0]决定。

④ DMAC 向 DTADRx[31:0]标记的地址中写入数据。

⑤ 在传输的最后，DSADRx 和 DTADRx 自减，自减值为 DCMD[SIZE]中 DCMDx[LENGTH]较小者。

华清远见

3.1.9 DMA 控制寄存器一览

DMA 控制寄存器信息如表 3-2 所示。

表 3-2 DMA 控制寄存器信息

地　　址	名　　称	描　　述
0x4000_0000	DCSR0	DMA 通道 0 控制/状态寄存器
0x4000_0004	DCSR1	DMA 通道 1 控制/状态寄存器
0x4000_0008	DCSR2	DMA 通道 2 控制/状态寄存器
0x4000_000C	DCSR3	DMA 通道 3 控制/状态寄存器
0x4000_0010	DCSR4	DMA 通道 4 控制/状态寄存器
0x4000_0014	DCSR5	DMA 通道 5 控制/状态寄存器
0x4000_0018	DCSR6	DMA 通道 6 控制/状态寄存器
0x4000_001C	DCSR7	DMA 通道 7 控制/状态寄存器
0x4000_0020	DCSR8	DMA 通道 8 控制/状态寄存器
0x4000_0024	DCSR9	DMA 通道 9 控制/状态寄存器
0x4000_0028	DCSR10	DMA 通道 10 控制/状态寄存器
0x4000_002C	DCSR11	DMA 通道 11 控制/状态寄存器
0x4000_0030	DCSR12	DMA 通道 12 控制/状态寄存器
0x4000_0034	DCSR13	DMA 通道 13 控制/状态寄存器
0x4000_0038	DCSR14	DMA 通道 14 控制/状态寄存器
0x4000_003C	DCSR15	DMA 通道 15 控制/状态寄存器
0x4000_00F0	DINT	DMA 中断寄存器
0x4000_0100	DRCMR0	DREQ0 请求通道映射寄存器（伴随芯片申请信号 0）
0x4000_0104	DRCMR1	DREQ1 请求通道映射寄存器（伴随芯片申请信号 1）
0x4000_0108	DRCMR2	I2S 接收服务请求通道映射寄存器
0x4000_010C	DRCMR3	I2S 发送服务请求通道映射寄存器
0x4000_0110	DRCMR4	BTUART 接收服务请求通道映射寄存器
0x4000_0114	DRCMR5	BTUART 发送服务请求通道映射寄存器
0x4000_0118	DRCMR6	FFUART 接收服务请求通道映射寄存器
0x4000_011C	DRCMR7	FFUART 发送服务请求通道映射寄存器
0x4000_0120	DRCMR8	AC97 麦克风接收服务请求通道映射寄存器
0x4000_0124	DRCMR9	AC97 Modem 接收服务请求通道映射寄存器
0x4000_0128	DRCMR10	AC97 Modem 发送服务请求通道映射寄存器
0x4000_012C	DRCMR11	AC97 音频接收服务请求通道映射寄存器
0x4000_0130	DRCMR12	AC97 音频发送服务请求通道映射寄存器
0x4000_0134	DRCMR13	SSP 接收服务请求通道映射寄存器
0x4000_0138	DRCMR14	SSP 发送服务请求通道映射寄存器

续表

地　　址	名　　称	描　　述

华清远见

0x4000_013C	DRCMR15	保留
0x4000_0140	DRCMR16	保留
0x4000_0144	DRCMR17	FICP 接收服务请求通道映射寄存器
0x4000_0148	DRCMR18	FICP 发送服务请求通道映射寄存器
0x4000_014C	DRCMR19	STUART 接收服务请求通道映射寄存器
0x4000_0150	DRCMR20	STUART 发送服务请求通道映射寄存器
0x4000_0154	DRCMR21	MMC 接收服务请求通道映射寄存器
0x4000_0158	DRCMR22	MMC 发送服务请求通道映射寄存器
0x4000_015C	DRCMR23	保留
0x4000_0160	DRCMR24	保留
0x4000_0164	DRCMR25	USB 端点 1 请求通道映射寄存器
0x4000_0168	DRCMR26	USB 端点 2 请求通道映射寄存器
0x4000_016C	DRCMR27	USB 端点 3 请求通道映射寄存器
0x4000_0170	DRCMR28	USB 端点 4 请求通道映射寄存器
0x4000_0174	DRCMR29	USB 端点 5 请求通道映射寄存器
0x4000_0178	DRCMR30	USB 端点 6 请求通道映射寄存器
0x4000_017C	DRCMR31	USB 端点 7 请求通道映射寄存器
0x4000_0180	DRCMR32	USB 端点 8 请求通道映射寄存器
0x4000_0184	DRCMR33	USB 端点 9 请求通道映射寄存器
0x4000_0188	DRCMR34	保留
0x4000_018C	DRCMR35	USB 端点 11 请求通道映射寄存器
0x4000_0190	DRCMR36	USB 端点 12 请求通道映射寄存器
0x4000_0194	DRCMR37	USB 端点 13 请求通道映射寄存器
0x4000_0198	DRCMR38	USB 端点 14 请求通道映射寄存器
0x4000_019C	DRCMR39	保留
0x4000_0200	DDADR0	DMA 描述符地址寄存器通道 0
0x4000_0204	DSADR0	DMA 源地址寄存器通道 0
0x4000_0208	DTADR0	DMA 目标地址寄存器通道 0
0x4000_020C	DCMD0	DMA 命令地址寄存器通道 0
0x4000_0210	DDADR1	DMA 描述符地址寄存器通道 1
0x4000_0214	DSADR1	DMA 源地址寄存器通道 1

续表

地　　址	名　　称	描　　述
0x4000_0218	DTADR1	DMA 目标地址寄存器通道 1
0x4000_021C	DCMD1	DMA 命令地址寄存器通道 1
0x4000_0220	DDADR2	DMA 描述符地址寄存器通道 2
0x4000_0224	DSADR2	DMA 源地址寄存器通道 2
0x4000_0228	DTADR2	DMA 目标地址寄存器通道 2
0x4000_022C	DCMD2	DMA 命令地址寄存器通道 2
0x4000_0230	DDADR3	DMA 描述符地址寄存器通道 3
0x4000_0234	DSADR3	DMA 源地址寄存器通道 3
0x4000_0238	DTADR3	DMA 目标地址寄存器通道 3

华清远见

0x4000_023C	DCMD3	DMA 命令地址寄存器通道 3
0x4000_0240	DDADR4	DMA 描述符地址寄存器通道 4
0x4000_0244	DSADR4	DMA 源地址寄存器通道 4
0x4000_0248	DTADR4	DMA 目标地址寄存器通道 4
0x4000_024C	DCMD4	DMA 命令地址寄存器通道 4
0x4000_0250	DDADR5	DMA 描述符地址寄存器通道 5
0x4000_0254	DSADR5	DMA 源地址寄存器通道 5
0x4000_0258	DTADR5	DMA 目标地址寄存器通道 5
0x4000_025C	DCMD5	DMA 命令地址寄存器通道 5
0x4000_0260	DDADR6	DMA 描述符地址寄存器通道 6
0x4000_0264	DSADR6	DMA 源地址寄存器通道 6
0x4000_0268	DTADR6	DMA 目标地址寄存器通道 6
0x4000_026C	DCMD6	DMA 命令地址寄存器通道 6
0x4000_0270	DDADR7	DMA 描述符地址寄存器通道 7
0x4000_0274	DSADR7	DMA 源地址寄存器通道 7
0x4000_0278	DTADR7	DMA 目标地址寄存器通道 7
0x4000_027C	DCMD7	DMA 命令地址寄存器通道 7
0x4000_0280	DDADR8	DMA 描述符地址寄存器通道 8
0x4000_0284	DSADR8	DMA 源地址寄存器通道 8
0x4000_0288	DTADR8	DMA 目标地址寄存器通道 8
0x4000_028C	DCMD8	DMA 命令地址寄存器通道 8
0x4000_0290	DDADR9	DMA 描述符地址寄存器通道 9
0x4000_0294	DSADR9	DMA 源地址寄存器通道 9
0x4000_0298	DTADR9	DMA 目标地址寄存器通道 9
0x4000_029C	DCMD9	DMA 命令地址寄存器通道 9
0x4000_02A0	DDADR10	DMA 描述符地址寄存器通道 10
0x4000_02A4	DSADR10	DMA 源地址寄存器通道 10
0x4000_02A8	DTADR10	DMA 目标地址寄存器通道 10
0x4000_02AC	DCMD10	DMA 命令地址寄存器通道 10
0x4000_02B0	DDADR11	DMA 描述符地址寄存器通道 11
0x4000_02B4	DSADR11	DMA 源地址寄存器通道 11
0x4000_02B8	DTADR11	DMA 目标地址寄存器通道 11
0x4000_02BC	DCMD11	DMA 命令地址寄存器通道 11
0x4000_02C0	DDADR12	DMA 描述符地址寄存器通道 12
0x4000_02C4	DSADR12	DMA 源地址寄存器通道 12
0x4000_02C8	DTADR12	DMA 目标地址寄存器通道 12
0x4000_02CC	DCMD12	DMA 命令地址寄存器通道 12
0x4000_02D0	DDADR13	DMA 描述符地址寄存器通道 13
0x4000_02D4	DSADR13	DMA 源地址寄存器通道 13
0x4000_02D8	DTADR13	DMA 目标地址寄存器通道 13
0x4000_02DC	DCMD13	DMA 命令地址寄存器通道 13

华清远见

0x4000_02E0	DDADR14	DMA 描述符地址寄存器通道 14
0x4000_02E4	DSADR14	DMA 源地址寄存器通道 14
0x4000_02E8	DTADR14	DMA 目标地址寄存器通道 14
0x4000_02EC	DCMD14	DMA 命令地址寄存器通道 4
0x4000_02F0	DDADR15	DMA 描述符地址寄存器通道 15
0x4000_02F4	DSADR15	DMA 源地址寄存器通道 15
0x4000_02F8	DTADR15	DMA 目标地址寄存器通道 15
0x4000_02FC	DCMD15	DMA 命令地址寄存器通道 15

3.2 存储控制器

PXA255 有 3 种类型的存储区域：SDRAM、静态内存和卡式内存，如图 3-5 所示。

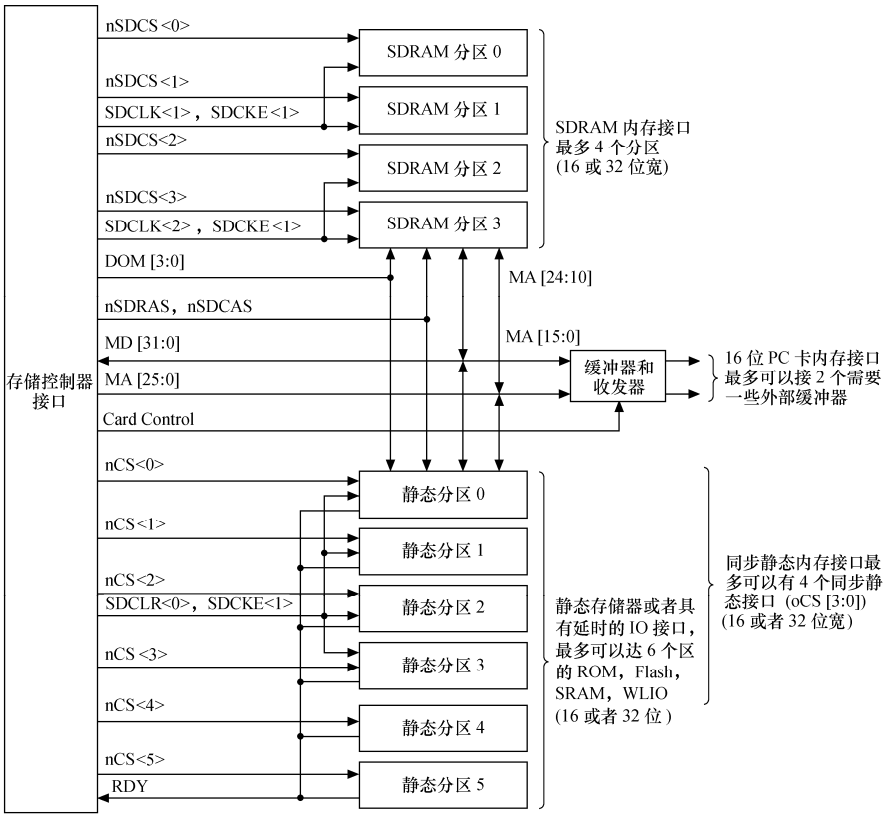

图 3-5 PXA255 存储区域

3.2.1 SDRAM 接口

PXA255 的 SDRAM 接口能支持 4 个 16 位或者 32 位的 SDRAM 分区。每个分区最高可以对应外部存储器的 64MB 空间，当然各个平台具体对应多少空间，可以使用配置寄存器来指定。这 4 个分区被分成两对：0/1 分区和 2/3 分区，这两对分区应该在配置上有所不同。

SDRAM 控制器拥有以下信号引脚。

- 4 根片选信号（nSDS[3:0]）；
- 4 根字节选通信号（DQM[3:0]）；
- 15 根区/行/列复用地址信号（MA[24:10]）；
- 1 根写使能信号（nWE）；

- 1 根列地址锁存信号（nSDCAS）；
- 1 根行地址锁存信号（nSDRAS）；
- 2 根时钟信号（SDCLK[2:1]）；
- 32 根地址信号（MD[31:0]）。

3.2.2 静态内存接口

静态内存控制器接口提供了 6 个分区，同时有 26（MA[25:0]）位能在这 6 个分区中分别寻址达 64M。每个分区可以被单独设定支持以下类型的静态存储设备。

- nCS[5:0]支持非突发型 ROM 或者 Flash 存储器；
- nCS[5:0]支持突发型或者 Flash 存储器（非突发型写操作）；
- nCS[5:0]支持突发型或者非突发型 SRAM；
- nCS[5:0]支持不同延时周期得 I/O 设备；
- nCS[3:0]支持同步静态内存。

3.2.3 内存配置寄存器

内存配置寄存器信息如表 3-3 所示。

表 3-3 内存配置寄存器

物 理 地 址	标 号	寄存器名字
0x4800 0000	MDCNFG	SDRAM 配置寄存器
0x4800 0004	MDREFR	SDRAM 刷新控制寄存器
0x4800 0008	MSC0	静态内存控制器 0
0x4800 000C	MSC1	静态内存控制器 1
0x4800 0010	MSC2	静态内存控制器 2
0x4800 0014	MECR	扩展内存（16 位 PC 卡/CF 卡）总线配置寄存器
0x4800 001C	SXCNFG	同步静态内存控制寄存器
0x4800 0024	SXMRS	写入 SMROM 中的 MRS 值
0x4800 0028	MCMEM0	插卡接口型通用内存空间 0 时序配置寄存器
0x4800 002C	MCMEM1	插卡接口型通用内存空间 1 时序配置寄存器
0x4800 0030	MCCATT0	插卡接口型属性空间 0 时序配置寄存器
0x4800 0034	MCCATT1	插卡接口型属性空间 1 时序配置寄存器
0x4800 0038	MCIO0	插卡接口型 I/O 空间 0 时序配置寄存器
0x4800 003C	MCIO1	插卡接口型通用内存空间 1 时序配置寄存器
0x4800 0040	MDMRS	写入 SDRAM 中的 MRS 值
0x4800 0044	BOOT_DEF	只读的启动阶段寄存器，包含了 BOO_SEL 和 PKG_SEL 信号的值

3.3 存储器管理单元（MMU）和高速缓存（Cache）

MMU 和 Cache 是绝大多数高性能处理器必需的部件，MMU 实现了虚拟地址空间到物理地址空间的转换，为多任务操作系统提供硬件上的支持。Cache 在高速的处理器和低速的主存储器（一般为动态存储器，DRAM）之间起到了桥梁作用，有效的提升了系统的性能。由于 MMU 和 Cache 的原理非常复杂，除了操作系统级的程序员需要详细了解外，一般的应用程序的程序员是不需要深入了解它们的原理的，因此这里只是简单的介绍一下它们的基本知识。

华清远见

3.3.1 存储器管理单元（MMU）

MMU 为系统提供了存储器的复杂控制，这些复杂的控制主要通过转换表的机制来实现。在转换表中定义了不同大小的物理内存的属性和映射方式。通过转换表，用户可以实现以下对存储器的控制。

- 虚拟地址到物理地址映射

不仅仅在 ARM 处理器中，几乎所有的处理器和操作系统都倾向于使用虚拟地址（uCLINUX 除外）。使用虚拟地址的优点有很多，最典型的就是进程地址空间的建立和写时复制技术给系统带来的性能提升。
处理器产生的地址叫虚拟地址，通过 MMU 可以把这个虚拟地址映射到一个不同的物理地址去。这个物理地址表示了被访问的主存储器的位置。

- 存储器访问权限（Permissions）

这些控制对存储器区域的不可访问权限、只读权限、读写权限。当访问权限有问题时，会有一个存储器异常通知 ARM 处理器。允许权限的级别也受程序运行在用户状态还是特权状态影响，还与是否使用了域有关。例如，在复制进程后，当要对子进程某一地址进行写操作时，由于子进程共享了父进程的进程空间，因此就会引发访问权限不匹配，进而发生缺页异常。

- 高速缓存和缓冲位

从虚拟地址到物理地址的转换过程其实就是一个查询映射关系的过程，为了记录这种映射关系，处理器一般会使用高速缓存来实现这种快速的查询。在 ARM 中，这个高速缓存一般称为 TLB（Translation Lookaside Buffer）。

3.3.2 高速缓存（Cache）

PXA255 的主频高达 400MHz，而系统的主存储器一般使用 SDRAM 等，访问周期一般为几十到几百纳秒，因此当处理器直接从主存储器中访问指令和数据时，主存储器的速度将成为整个系统性能的瓶颈。
为了解决高速的处理器和低速的主存储器的速度矛盾，人们发明了高速缓存（Cache）。Cache 是一种高速的存储器，一般为小容量的高速 SRAM。Cache 的控制一般都全部用硬件来实现，因此，它不仅对应用程序员是透明的，对系统程序员也是透明的。
Cache 的基本原理是这样的，处理器每次访问主存储器的时候，将获得的指令和数据也同时放入 Cache 中，这样当再次需要相同的数据的时候，就可以直接从 Cache 中获得。通常，处理器访问相同的数据的几率是很大的，同时由于 Cache 的速度远高于主存储器，因此这样就大大提升了系统的性能。Cache 与主存储器之间有一定的映射关系，各种 Cache 采用了不同的算法来实现这种映射。由于这种映射会导致数据在系统中的不同的物理位置，造成数据的不一致性，因此 Cache 的控制非常复杂，这里就不详细介绍 Cache 的实现了，有兴趣的读者可以参考相关的书籍。

华清远见

联系方式

集团官网：www.hqyj.com　　嵌入式学院：www.embedu.org　　移动互联网学院：www.3g-edu.org

企业学院：www.farsight.com.cn　　物联网学院：www.topsight.cn　　研发中心：dev.hqyj.com

集团总部地址：北京市海淀区西三旗悦秀路北京明园大学校内 华清远见教育集团

北京地址：北京市海淀区西三旗悦秀路北京明园大学校区，电话：010-82600386/5

上海地址：上海市徐汇区漕溪路 250 号银海大厦 11 层 B 区，电话：021-54485127

深圳地址：深圳市龙华新区人民北路美丽 AAA 大厦 15 层，电话：0755-25590506

成都地址：成都市武侯区科华北路 99 号科华大厦 6 层，电话：028-85405115

南京地址：南京市白下区汉中路 185 号鸿运大厦 10 层，电话：025-86551900

武汉地址：武汉市工程大学卓刀泉校区科技孵化器大楼 8 层，电话：027-87804688

西安地址：西安市高新区高新一路 12 号创业大厦 D3 楼 5 层，电话：029-68785218

广州地址：广州市天河区中山大道 268 号天河广场 3 层，电话：020-28916067

华清远见