



10年口碑积累，成功培养50000多名研发工程师，铸就专业品牌形象

华清远见的企业理念是不仅要做好良心教育、做专业教育，更要做受人尊敬的职业教育。

《FPGA 应用开发实战技巧精粹》

作者：华清远见

专业始于专注 卓识源于远见

第 1 章 基础知识

本章简介

本章介绍 FPGA 的基础知识，包括 FPGA 的结构、特点以及 FPGA 的发展趋势。通过本章的介绍，读者可以对 FPGA 有初步的了解。

1.1 FPGA 简介

FPGA (Field Programmable Gate Array, 现场可编程门阵列) 是 1984 年由 Xilinx 公司发明的, 它是一类半定制的通用器件, 用户可以通过对 FPGA 器件编程实现所需的逻辑功能。简而言之, FPGA 就是可以再编程的芯片。通过改变芯片内部的逻辑电路和布线资源, 不需要修改电路板即可更改硬件电路功能。

相对于 CPLD (Complex Programmable Logic Device, 复杂可编程逻辑器件) 而言, FPGA 中的寄存器资源比较丰富, 更适合同步时序电路较多的数字系统。在这两类可编程逻辑器件中, CPLD 提供的逻辑资源较少, 而 FPGA 提供了最高的逻辑密度、最丰富的特性和极高的性能。FPGA 已经在通信、消费电子、医疗、工业和军事等各应用领域中占据了重要地位。

相对于 ASIC (Application Specific Intergrated Gircuits, 专用集成电路) 而言, FPGA 是半定制的通用器件。如果需要改变电路功能, 不需要花费重新设计 ASIC 的时间。

使用 FPGA 设计电路有以下几个优点。

- 电路执行速度快。FPGA 内部是通过对电路编程生成逻辑电路来实现功能的, 这点与处理器编程是不相同的。处理器是串行执行的, 但是 FPGA 通过电路实现功能, 是并行执行, 因此 FPGA 的运行速度大大高于通用处理器或者 DSP。
- 上市时间短。由于 FPGA 的在线可编程特性, 设计者不用进行 ASIC 设计的冗长构建过程; 而且由于设计软件性能不断提高, 设计者可以在更高的抽象层级进行设计; 不同的 FPGA 生产厂商还提供了大量的 IP Core, 这些都使 FPGA 设计更快、更方便。
- 成本低廉。随着电子技术的发展, 基于电子技术的各种应用也在改变。使用 FPGA 可以在不修改电路板的前提下修改电路实现, 而且 FPGA 相对 ASIC 的重新开发的费用非常低廉, 所以使用 FPGA 进行设计的成本相对较低。
- 可靠性高。FPGA 都是经过专门验证的半定制通用器件, 因而具有较高的可靠性。
- 易于维护升级。FPGA 芯片具有即时升级 (Field-Upgradable) 特性, 而且可以通过在 FPGA 配置芯片中存储多个配置文件实现多种电路功能, 还可以通过网络进行远程配置。这些特性使得 FPGA 易于维护和升级。

1.2 FPGA 基本结构

1.2.1 FPGA 的基本结构

通常 FPGA 包含几种主要资源: 逻辑块、输入/输出块、布线资源、存储单元、时钟管理模块以及专用硬件资源。

- 逻辑块中一般包含查找表 LUT 和寄存器。LUT 本质上就是一个 RAM, 目前 FPGA 中多使用四输入的 LUT, 所以每一个 LUT 可以看成是一个有 4 位地址线的 16×1 的 RAM。当用户设计一个逻辑电路以后, PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果, 并把结果事先写入 RAM。每输入一组信号进行逻辑运算就等于输入一个地址进行查表, 找出地址对应的内容, 然后输出。
- 输入/输出块可以兼容多种电平, 并且包含专用 I/O 寄存器资源和专用的延迟单元。
- 布线资源连接 FPGA 内的逻辑块、输入/输出块、存储单元等硬件资源。
- 存储单元是专用资源, 使用这些专用存储资源不会占用逻辑资源。
- 时钟管理模块提供高性能时钟控制, 可用于锁定时钟、频率合成。

在接下来的两小节中会分别介绍 Altera 和 Xilinx 系列 FPGA 的基本结构。

1.2.2 Altera FPGA 基本结构

与通常的 FPGA 一样，Altera 的 FPGA 包括逻辑块、输入/输出块、布线资源、存储单元、时钟管理模块以及专用硬件资源。图 1.1 所示是这些资源的位置分布情况。

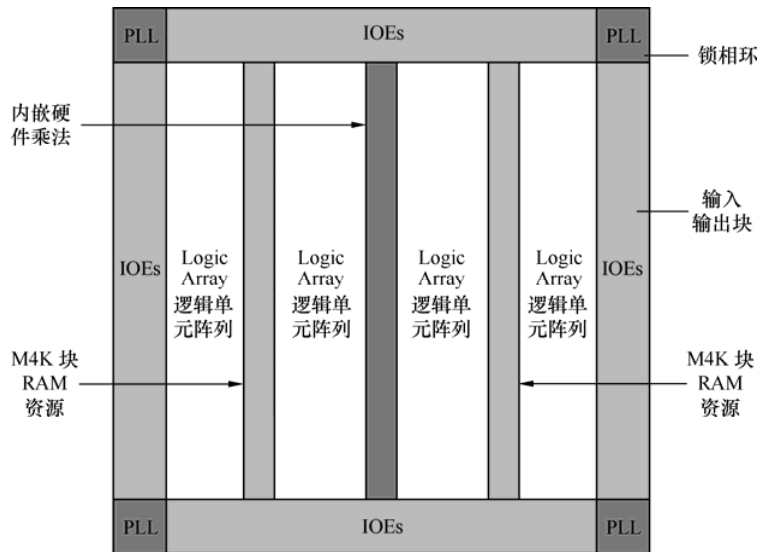


图 1.1 Cyclone 系列 FPGA 平面布置图

可以看到逻辑块以阵列的形式分布在 FPGA 中，锁相环位于芯片的四个角，存储块和嵌入式乘法器位于专门的列，输入/输出 I/O 单元位于芯片的四周。

(1) 在 Altera 的 FPGA 中，最小的逻辑块是 LE (Logic Element)，每个 LE 包括如下的特性。

- 包含一个四输入的查找表 LUT，用于实现一个四变量的逻辑函数。
- 包含一个可编程的寄存器。
- 有一条进位链。
- 有一条寄存器链接。
- 可以驱动各种连接类型，包括本地连接、行连接、列连接、寄存器连接和直接互连。
- 支持寄存器包装。
- 支持反馈寄存器。

Altera 的 LE 的结构如图 1.2 所示。

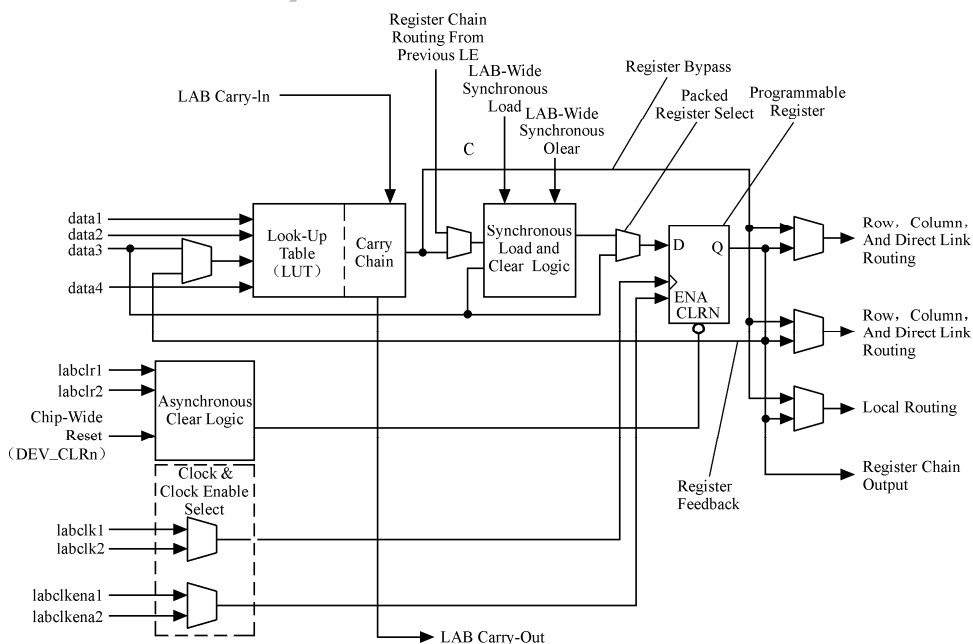


图 1.2 Cyclone 器件 LE 结构

(2) 输入/输出单元 IOE 是芯片与外界电路的接口部分，包括如下特性。

- 支持差分 and 单端 I/O 标准。
- 支持 LVTTTL、LVCOMS、SSTL、HSTL、LVDS、LVPECL 和 PCI 等电气标准。
- 可以调整上拉、下拉电阻。
- 有三态缓冲器。
- 可编程输入、输出延迟。
- 支持高速率接口。

图 1.3 所示为 Altera 的 IOE 结构。

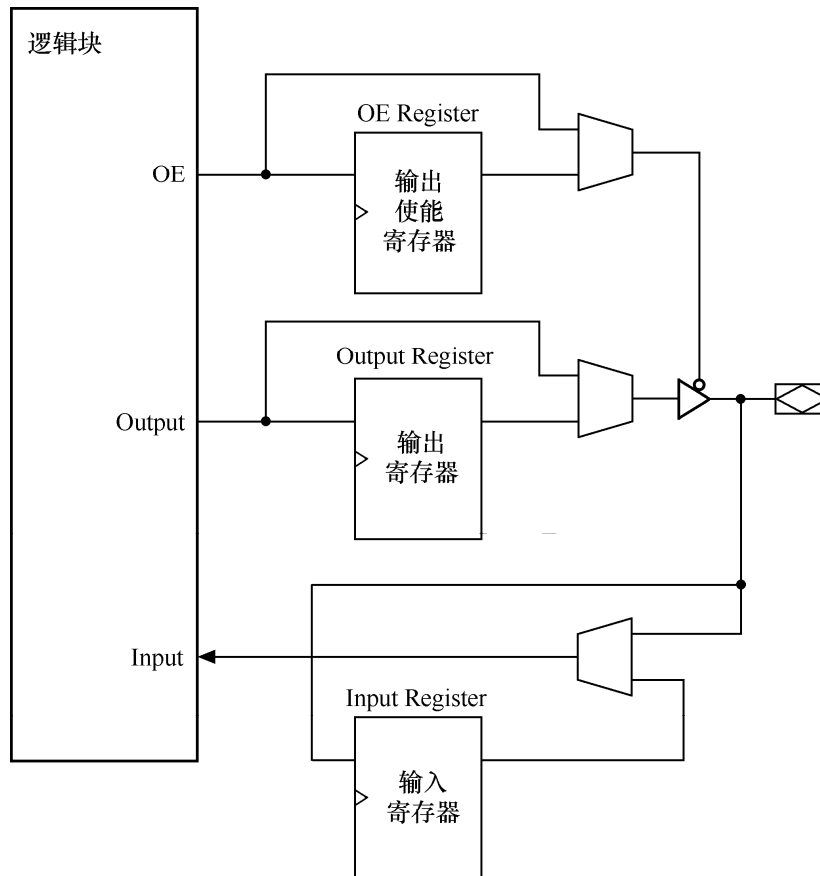


图 1.3 Altera IOE 结构

(3) 布线资源连接芯片内部所有的硬件单元，连线的长度和工艺决定着信号的驱动能力和传输延时。

在设计过程中，设计者一般不需要干预布线资源，设计软件会自动选择布线资源进行布线。

(4) Altera 的 FPGA 中有内嵌的块 RAM，可以配置为单口 RAM、双口 RAM、FIFO 等存储单元。以 Cyclone II 器件的嵌入式块 RAM 为例，这些 M4K RAM 在芯片中以列的方式存在，形成 RAM 列。M4K 存储块包括输入寄存器和输出寄存器以提高读写性能，输出寄存器可以被旁路，但是输入寄存器必须使用。

(5) Altera 器件提供全局时钟网络和一定数量的 PLL。

以 Cyclone II 器件为例，Cyclone II 器件的时钟网络包括如下特性。

- 多达 16 个全局时钟网络。
- 有 4 个 PLL (Phase-Locked Loops)。
- 全局时钟网络动态时钟资源选择。
- 全局时钟动态使能。

图 1.4 所示为 Cyclone II 的全局时钟网络示意图，时钟信号通过全局时钟网络分配到各个硬件单元，保证了各个硬件单元的时钟抖动最小。

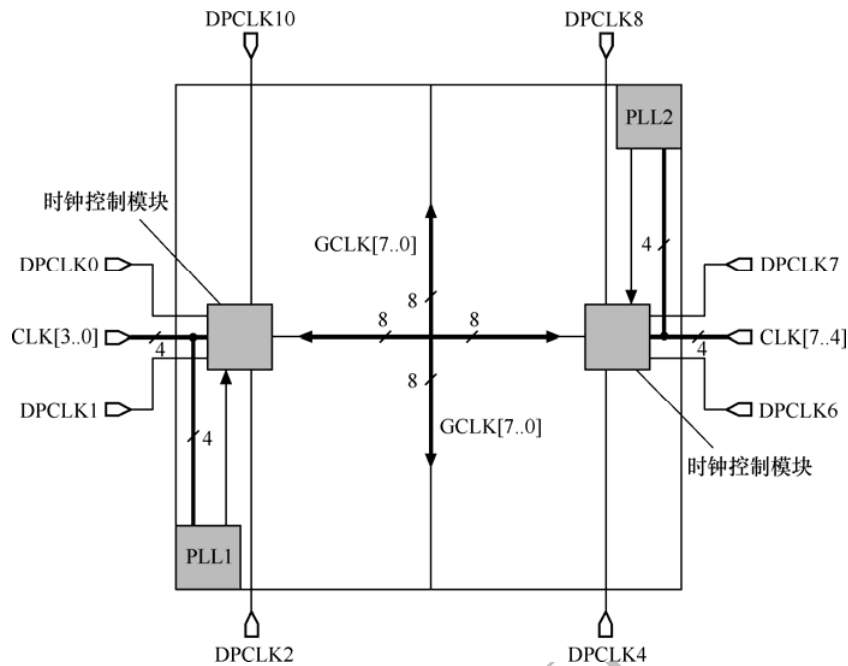


图 1.4 Cyclone II 全局时钟网络

1.2.3 Xilinx FPGA 基本结构

Xilinx 的 FPGA 包括逻辑块、输入/输出块、布线资源、存储单元、时钟管理模块以及专用硬件资源。如图 1.5 所示，以 Spartan-3E 为例说明 Xilinx FPGA 结构。从图中可以看到逻辑块分布于整个芯片，在芯片的顶部和底部有时钟管理模块 DCM，块 RAM 和乘法器位于专门的列，输入/输出块位于芯片的四周。

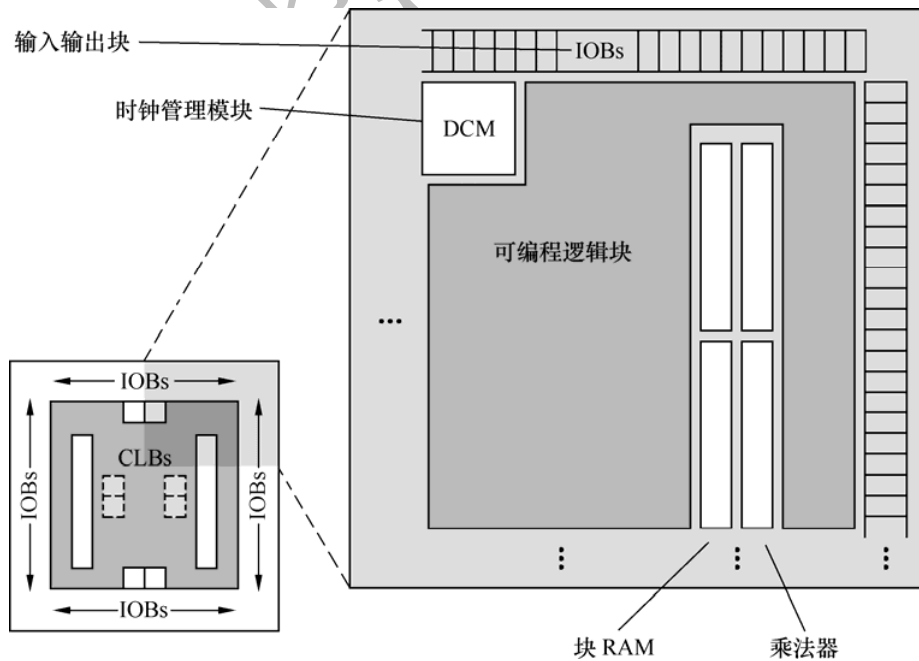


图 1.5 Spartan-3E 的结构

(1) 可配置逻辑块 (CLB, Configurable Logic Blocks) 是 Xilinx Spartan-3E 系列 FPGA 的基本逻辑单元。它包括 4 个 Slice，每个 Slice 包括两个查找表用于执行组合逻辑，另外还有两个触发器。

图 1.6 所示为 Spartan-3E 中 CLB 排列结构。

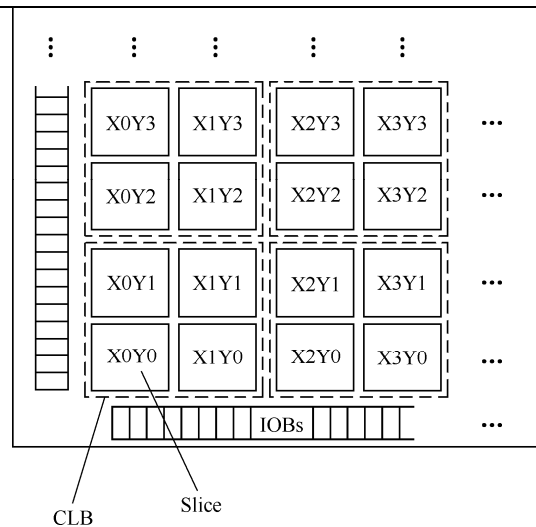


图 1.6 Spartan-3E 中 CLB 排列结构

在 Slice 中 LUT 可以作为 16 位的存储器 RAM16，也可以作为 16 位的移位寄存器 SRL16。

(2) 在 Xilinx 器件中，提供全局时钟布线资源和数字时钟管理 (DCM, Digital Clock Managers) 模块。DCM 可以实现时钟锁定功能、频率合成功能、分频和倍频功能。

Xilinx 器件通过全局时钟缓冲器 BUFG 将时钟分配到专用的全局时钟网络，保证各个模块之间的时钟偏差最小。

(3) Xilinx 器件中提供了大量的嵌入式块 RAM，以实现单口 RAM、双口 RAM、FIFO 等存储应用。每个块 RAM 包含 18Kbit 存储单元，其中 16Kbit 用于数据存储，在特定的应用中，可以将额外的 2Kbit 存储单元作为奇偶校验位或者数据单元。

(4) 输入/输出块 (IOB, Input/Output Block) 提供可编程单向或者双向端口，支持一系列的电气标准，包括 LVTTTL、LVCOMS、SSTL、HSTL、LVDS、LVPECL 和 PCI 等。

在 Spartan-3E 的 IOB 中，包括输入/输出寄存器，可以实现 DDR 功能。如图 1.7 所示，可以有两种方法实现 DDR 功能。图 1.7 左边表示用 DCM 分别产生两个相差 180° 的时钟送到两个输出寄存器，对外部时钟而言实现了上升沿和下降沿同时送出数据；图 1.7 右边是将一个时钟分别送到两个输出寄存器的正相和反相端，实现上升沿和下降沿同时送出数据。实现 DDR 输入的方法也是一样，不过时钟作用在输入寄存器上。

(5) 布线资源连接芯片内部所有的硬件单元，连线的长度和工艺决定着信号的驱动能力和传输延时。设计过程中，设计者一般不需要干预布线资源，设计软件会自动选择布线资源进行布线。

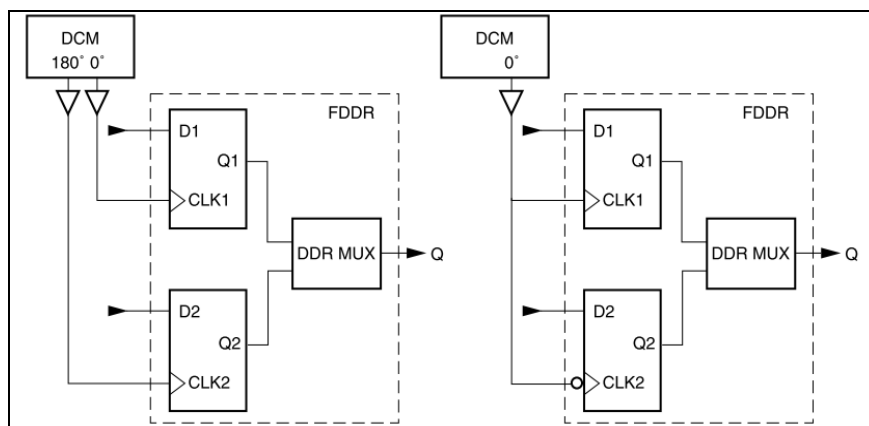


图 1.7 Spartan-3E 中实现 DDR 的方式

1.3 FPGA 的应用

FPGA 为半定制通用器件,可以实现各种复杂的逻辑功能,提供在线可编程特性,因而应用范围非常广。目前 FPGA 广泛应用于通信、信号处理、嵌入式处理器、图像处理和工业控制领域。

(1) 目前 FPGA 广泛应用于通信领域,可以使用 FPGA 实现数字调制解调、编码解码。因为 FPGA 中各种功能是用硬件并行地执行,所以在实现调制解调和编解码的时候具有比软件更快的速度。可以使用 FPGA 实现通信系统中的各种接口,目前的 FPGA 接口中一般都有实现 DDR 的专用电路,可以使用 FPGA 实现 DDR 控制器,还可以使用 FPGA 实现 PCI 总线、SPI 总线等。

(2) FPGA 在数字信号处理领域的应用也相当广泛。现在的 FPGA 内部都包含专门的乘法器电路、乘累加电路。这些电路都是实现数字信号处理必不可少的,而且都是并行的方式运行,所以特别适合用于实现信号处理。在数字信号处理领域的应用包括频率合成、FIR 滤波器、FFT、RS 编解码等。

(3) 在图形处理应用中, FPGA 可以用于实现 JPEG 图像处理,可以用于检测视频信号,可以用于实现图像数据采集等。

(4) 在 Altera 的器件中可以实现 Nios 嵌入式处理器,而在 Xilinx 的器件中可以实现 Power PC 和 Microblaze 嵌入式处理器,所以可以使用 FPGA 实现片上系统。使用 FPGA 实现的片上系统可以运行操作系统,用户的应用软件,省去了专用的处理器,大大减小了电路板的面积,降低了硬件电路的复杂性。

1.4 FPGA 设计流程

一般来说,完整的 FPGA 设计流程包括电路设计与输入、功能仿真、综合优化、综合后仿真、布局布线、布局布线后仿真、板级仿真与验证、加载配置与在线调试等主要步骤,如图 1.8 所示。

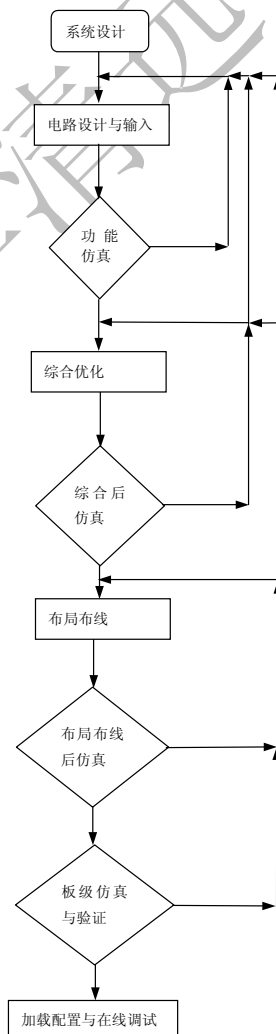


图 1.8 完整的 FPGA 设计流程

(1) 电路设计与输入。

电路设计与输入是指通过某些规范的描述方式，将电路构思输入给 EDA 工具。常用的设计输入方法有硬件描述语言和原理图设计输入方法等。原理图设计输入法在早期应用得比较广泛，它根据设计要求选用器件、绘制原理图、完成输入过程。这种方法的优点是直观、便于理解、元器件库资源丰富。但是在大型设计中，这种方法的可维护性较差，不利于模块构造与重用。目前进行大型工程设计时，常用的设计方法是硬件描述语言设计输入法，其中影响最为广泛的 HDL 语言是 VHDL 和 Verilog HDL。它们的共同特点是利于由顶向下设计，利于模块的划分与复用，可移植性好，通用性好，设计不因芯片的工艺与结构的不同而变化，更利于向 ASIC 的移植。波形输入和状态机输入方法是两种常用的辅助设计输入方法：使用波形输入法时，只要绘制出激励波形和输出波形，EDA 软件就能自动地根据响应关系进行设计；使用状态机输入法时，设计者只需画出状态转移图，EDA 软件就能生成相应的 HDL 代码或者原理图，使用十分方便。

(2) 功能仿真。

电路设计完成后，要用专用的仿真工具对设计进行功能仿真，验证电路功能是否符合设计要求。功能仿真有时也被称为前仿真。

(3) 综合优化。

综合优化是指将 HDL 语言、原理图等设计输入翻译成由与门、或门、非门、RAM、触发器等基本逻辑单元组成的逻辑连接（网表），并根据目标与要求（约束条件）优化所生成的逻辑连接，输出 edf 和 edn 等标准格式的网表文件，供 FPGA 厂家的布局布线器实现。

(4) 综合后仿真。

综合完成后需要检查综合结果是否与原设计一致，做综合后仿真。在仿真时，把综合生成的标准延时文件反标注到综合仿真模型中，可估计门延时带来的影响。综合后仿真虽然比功能仿真精确一些，但是只能估计门延时，不能估计线延时，仿真结果与布线后的实际情况还有一定的差距，并不十分准确。这种仿真的主要目的是检查综合器的综合结果是否与设计输入一致。目前主流综合工具日益成熟，对于一般性设计，如果设计者确信自己表述明确，没有综合歧义发生，则可以省略综合后仿真步骤。但是如果布局布线后仿真发现有电路结构与设计意图不符的现象，则常常需要回溯到综合后仿真以确认是否是由于综合歧义造成的问题。

(5) 布局布线。

综合结果的本质是一些由与门、或门、非门、触发器、RAM 等基本逻辑单元组成的逻辑网表，它与芯片实际的配置情况还有较大差距。此时应该使用 FPGA 厂商提供的软件工具，根据所选芯片的型号，将综合输出的逻辑网表适配到具体的 FPGA 器件上，这个过程就叫实现过程。因为只有器件开发商最了解器件的内部结构，所以实现步骤必须选用器件开发商提供的工具。在实现过程中最主要的过程是布局布线，所谓布局是指将逻辑网表中的硬件或者底层单元合理地适配到 FPGA 内部的固有硬件结构上，布局的优劣对设计的最终实现结果影响很大。所谓布线是指根据布局的拓扑结构，利用 FPGA 内部的各种连线资源，合理正确连接各个元件的过程。FPGA 的结构相对复杂，为了获得更好的实现结果，特别是保证能够满足设计的时序条件，一般采用时序驱动的引擎进行布局布线。所以对于不同的设计输入，特别是不同的时序约束，获得的布局布线结果一般有较大差异。一般情况下，用户可以通过设置参数指定布局布线的优化准则，总的来说，优化目标主要有面积和速度两个方面。一般根据设计的主要矛盾，选择面积、速度或者平衡两者的优化目标。但是当两者冲突时，一般满足时序约束要求更重要一些，此时选择速度或时序优化目标效果更好。

(6) 时序仿真与验证。

将布局布线的时延信息反标注到设计网表中，所进行的仿真就叫时序仿真或者布局布线后仿真，简称后仿真。布局布线之后生成的仿真时延文件包含的时延信息最全，不仅包含门延时，还包含实际布线延时，所以布线后仿真最准确，能较好地反映芯片的实际工作情况。一般来说，布线后仿真步骤必须进行，通过布局布线后仿真能检查设计时序与 FPGA 实际运行情况是否一致，确保设计的可靠性和稳定性。布局布线后仿真的主要目的在于发现时序是否违规，即是否满足时序约束条件或者器件固有时序规则的情况。

(7) 板级仿真与验证。

在有些高速设计中还需要使用第三方的板级验证工具进行仿真与验证。

(8) 加载配置与在线调试。

设计开发的最后步骤就是在线调试或者将生成的配置文件写入芯片中进行测试。示波器和逻辑分析仪是逻辑设计的主要调试工具。传统的逻辑功能板级验证手段是用逻辑分析仪分析信号，设计时要求 FPGA 和 PCB 设计人员保留一定数量的 FPGA 引脚作为测试引脚，编写 FPGA 代码时需要观察的信号作为模块的输出信号，在综合实现时再把这些输出信号锁定到测试引脚上，然后将逻辑分析仪的探头连接到这些测试脚，设定触发条件，进行观测。逻辑分析仪的优点是专业、高速、触发逻辑可以相对复杂，缺点是价格昂贵、灵活性差。PCB 布线后测试脚的数量有限，不能灵活增加，当测试脚不够用时影响测试，如果测试脚太多又影响 PCB 布局布线。对于相对简单一些的设计，使用 Quartus II 内嵌的 SignalTap II 和 Xilinx 提供的 Chip Scope 工具，对设计进行在线逻辑分析可以较好地解决上述矛盾。它们的主要功能是通过 JTAG 口，在线、实时地读出 FPGA 的内部信号。基本原理是利用 FPGA 中未使用的 Block RAM，根据用户设定的触发条件将信号实时地保存到这些 Block RAM 中，然后通过 JTAG 口传送到计算机，最后在计算机屏幕上显示出时序波形。

任何仿真或者验证步骤出现问题，就需要根据错误的定位返回到相应的步骤更改或者重新设计。

1.5 FPGA 的常用开发工具

本节主要介绍 FPGA 的一些常用的 EDA 开发工具。根据设计流程与功能划分，常用的 EDA 开发工具主要分为设计输入工具、综合工具、仿真工具、实现与优化工具、后端辅助工具以及验证与调试工具等。

(1) 设计输入工具。

设计输入是工程设计的第一步，常用的设计输入方法有 HDL 语言输入、原理图输入、IP Core 输入和其他输入方法。

- HDL 语言输入方法应用最广泛，目前业界最流行的 HDL 语言是 Verilog HDL 和 VHDL 语言。一般来说任何文本编辑器都可以完成 HDL 语言输入。
- 原理图设计输入方式在早期应用广泛，目前已经逐渐被 HDL 语言输入方式所取代，仅仅在有些设计的顶层描述时才会使用。
- IP Core 输入方式是 FPGA 设计中的一个重要设计输入方式。所谓 IP Core，是指已经设计好且受知识产权保护的标准模块单元。Quartus II 的 IP Core 生成器是 Megafuncions/ MegaWizard，ISE 的 IP Core 生成器是 CoreGenerator。它们能生成的 IP 和功能繁多，从简单的基本设计模块到复杂的处理器等一应俱全。适当地使用 IP Core，能大幅度地减轻设计者的设计工作量，提高设计质量。
- 其他辅助性设计输入方法还有状态机输入、真值表输入和波形输入等。

(2) 综合工具。

主流的综合工具主要有 Synplicity 公司的 Synplify/Synplify Pro、Synopsys 公司的 FPGA Compiler II/Express、Exemplar Logic 公司的 LenonadoSpectrum。另外，Quartus II 和 ISE 还内嵌了自己的综合工具。

(3) 仿真工具。

业界最流行的仿真工具是 ModelSim。另外 Aldec 公司的 ActiveHDL 也有相当广泛的应用。其他如 Cadence Verilog-XL、NC-Verilog/VHDL、Synopsys VCS/VSS 等仿真工具也有一定的影响力。还有一些小工具和仿真有关，比如测试激励生成器。

(4) 实现与优化工具。

实现与优化工具包含的范围比较广。如果能较好地掌握这些工具，将大幅度提高设计者的水平，使设计工作更加游刃有余。

(5) 后端辅助工具。

Quartus II 内嵌的后端辅助工具主要有 Assembler（编程文件生成工具）、Programmer（下载配置工具）和 PowerGauge（功耗仿真器）。ISE 的后端辅助工具有 Programming file generator（编程文件生成工具）、Impact（下载配置工具）等。

(6) 验证与调试工具。

Quartus II 内嵌的调试工具有 SingalTap II（在线逻辑分析仪）和 SingalProbe（信号探针）。ISE 内嵌的调试工具有 ChipScope 和 SingalProbe。常用的板级仿真验证工具还有 Mentor Tau、Synopsys HSPICE 和 Innoveda BLAST 等。

1.6 FPGA 设计技术展望

FPGA 技术正处于高速发展时期，新型芯片的规模越来越大，成本也越来越低。低端的 FPGA 已逐步取代了传统的数字元件，高端的 FPGA 不断在争夺 ASIC 的市场份额。本节从 FPGA 软、硬件两个方面来展望未来的 FPGA 设计技术，给出了一个 FPGA 技术的宏观轮廓。

1.6.1 未来可编程器件的发展趋势

FPGA 正处于高速发展的阶段，新型的器件规模越来越大、速度越来越快，使用的工艺也更加先进，同时嵌入了更多的硬核可以实现更广泛的应用。目前的发展趋势包括以下几个方面。

- 更高的集成度，提供更大的容量。
- 采用更先进的工艺，使用更低的电压，以降低功耗，提高速度。
- 使用嵌入式处理器。
- 包括高速串行 I/O、DDR 等接口。
- 提供丰富的硬核。
- 设计方法更先进，可以使用更加抽象的层次进行设计。

先进的 ASIC 生产工艺已经被用于 FPGA 的生产，越来越丰富的处理器内核被嵌入到高端的 FPGA 芯片中，基于 FPGA 的开发成为一项系统级设计工程。随着半导体制造工艺的提高，FPGA 的集成度将不断提高，制造成本将不断降低，作为替代 ASIC 来实现电子系统的前景将日趋光明。

(1) 大容量、低电压、低功耗 FPGA。

大容量 FPGA 是市场发展的焦点。FPGA 产业中的两大霸主：Altera 和 Xilinx 在超大容量 FPGA 上展开了激烈的竞争。2007 年 Altera 推出了 65nm 工艺的 StratixIII 系列芯片，容量为 67 200 个 LE（Logic Element，逻辑单元）；Xilinx 推出的 65nm 工艺的 VitexVI 系列芯片，容量为 33 792 个 Slices（一个 Slices 约等于两个 LE）。采用深亚微米（DSM）的半导体工艺后，器件在性能提高的同时，价格也在逐步降低。由于便携式应用产品的发展，对 FPGA 的低电压、低功耗的要求日益迫切。因此，无论哪个厂家、哪种类型的产品，都在瞄准这个方向努力。

(2) 系统级高密度 FPGA。

随着生产规模的提高，产品应用成本的下降，FPGA 的应用已经不仅仅是过去的适用于系统接口部件的现场集成，而是灵活地应用于系统级（包括其核心功能芯片）设计之中。在这样的背景下，国际主要 FPGA 厂家在系统级高密度 FPGA 的技术发展上，主要强调了两个方面：FPGA 的 IP（Intellectual Property，知识产权）硬核和 IP 软核。当前具有 IP 内核的系统级 FPGA 的开发主要体现在两个方面：一方面是 FPGA 厂商将 IP 硬核（指完成版图设计的功能单元模块）嵌入到 FPGA 器件中，另一方面是大力扩充优化的 IP 软核（指利用 HDL 语言设计并经过综合验证的功能单元模块）。用户可以直接利用这些预定义的、经过测试和

验证的 IP 核资源，有效地完成复杂的片上系统设计。

(3) FPGA 和 ASIC 出现相互融合。

虽然标准逻辑 ASIC 芯片尺寸小、功能强、功耗低，但其设计复杂，并且有批量要求。FPGA 价格较低廉，能在现场进行编程，但体积大、能力有限，而且功耗比 ASIC 大。正因如此，FPGA 和 ASIC 正在互相融合、取长补短。随着一些 ASIC 制造商提供具有可编程逻辑的标准单元，FPGA 制造商重新对标准逻辑单元产生兴趣。

(4) 动态可重构 FPGA。

动态可重构 FPGA 是指在一定条件下芯片不仅具有在系统中重新配置电路功能的特性，而且还具有在系统中动态重构电路逻辑的能力。对于数字时序逻辑系统，动态可重构 FPGA 的意义在于其时序逻辑的发生不是通过调用芯片内不同区域、不同逻辑资源组合而成，而是通过对 FPGA 进行局部或全局的芯片逻辑的动态重构实现的。动态可重构 FPGA 在器件编程结构上具有专门的特征，其内部逻辑块和内部连线的改变，可以通过读取不同的 SRAM 中的数据来直接实现，时间往往在纳秒级，有助于实现 FPGA 系统逻辑功能的动态重构。

1.6.2 未来 EDA 设计方法的发展趋势

电子产业瞬息万变，随着新一代 FPGA 芯片工艺和设计方法的进步及新的应用领域和市场需求的变化，EDA 技术也有突飞猛进的发展，总的趋势可以概括为：跨越器件组甚至公司界限、越来越人性化的设计、越来越高的优化水平、越来越快的仿真速度、越来越高的仿真精度以及完备的分析验证手段。

(1) 一体化工具和 IP 是发展方向。

一体化工具使用户受益于一个统一的用户界面，避免了在不同的工具间进行数据转换等繁琐的操作。目前，各大 EDA 工具供应商分别推出了集成众多工具的一体化设计工具，同时也在分别推出各自的标准数据库，以进一步简化设计流程。未来先进的 IC 设计平台，将整合各个公司的许多工具，覆盖了从设计编译、布局编译、物理编译、DFT 编译以及硅片制造的全部流程，同时还在内部集成了向第三方开放的数据库，将不同设计阶段中的数据、时序、计算以及种种约束条件协调起来，集成新的模拟和混合信号设计工具，加强利用 EDA 工具进行模拟电路设计的能力。

IP 的合理应用是加速产品设计流程的一个有效途径。按照美国 EDA 联盟 (The EDA Consortium) 的统计数据表明，IP 产品是全球 EDA 工业中销售额增加最快的一个领域。IP 应用是 IC 设计业中绝对的发展趋势。

(2) System Verilog 将成为下一代的描述语言。

描述语言一直是 EDA 产业中重要的一环，VHDL 和 Verilog 是中国目前的主流设计语言。然而，随着 IC 复杂度的不断提高，高级语言将成为 FPGA 开发的利器，从更高层次入手对系统进行描述是描述语言未来的发展方向。“System Verilog 将最终取代 VHDL。”这是 Synopsys 公司对描述语言发展方向上的预测，在进一步解释这一预测时，还指出多年来 FPGA 设计中更关注的是仿真，仿真在目前验证整个设计周期中已经占据了 60% 甚至更多的时间。System Verilog 可以有效地支持上述两者的需求，同时 System Verilog 是与 Verilog 完全兼容的。系统级设计方法除了需要使用高级 HDL 语言外，更重要的是要得到系统级仿真、综合工具的强力支持。目前 Verilog HDL 语言发展迅猛，并逐步完善。

(3) ESL 将撑起 EDA 产业大旗。

ESL 指的是电子级系统设计。软件挑战是 ESL 身后的关键推动力。多处理器系统级芯片必须并行编程，ESL 的目标是单一高级别模型的协同软硬件设计。未来几年全球 ESL 工具营收将显著增长，将与 RTL 工具持平。3 种主要的 ESL 方法学分别围绕算法、处理器与存储器、控制逻辑。它们均包含行为级与架构级设计，分别面向不同的工具及供应商。

(4) Linux 提速进入 EDA 领域。

随着 EDA 技术在全球范围内的飞速发展，业界都在翘首以待基于 Linux 环境的 EDA 技术成为电路设计领域的主流。首先，由于 Linux 费用很低、源代码开放，这使得 EDA 软件的前期开发费用很低，而且运行维护的成本也很低，同时大大方便了工程师的设计工作。而 Linux 工作站的费用也要比 UNIX 工作站便宜很多。此外，Linux 的成本大约是 UNIX 以及 Windows 的 1/15~1/10，但是效能并不比后者差，甚至运行速度要更快一些。

现在业界普遍的看法就是预计在未来的 5 年内，Linux 将成为 EDA 的主角。可以预见，Linux 的普及只是时间问题。

(5) 模块化、增量式设计成为主流。

模块化设计适用于团队开发设计内部关系易于划分、模块间连接较少的项目。模块化设计先进行整体设计，各模块使用黑盒子代替，只指明模块间的连接（使用“伪逻辑”（pseudo logic）连接）和整体设计的外部端口，并约束各模块在 FPGA 芯片内部的区域位置和时序、外部端口引脚。之后并行地依据约束完成各自的模块设计，最后提交到一起进行整体的组合（assemble）。增量式设计是一种能在小范围改动情况下节约综合、实现时间并集成以往设计成果的设计手段，包括增量综合和增量实现两个层次的含义。

目前，Xilinx 公司和 Altera 公司的模块化、增量式设计已经逐步成熟，在实际中开始得到应用。

联系方式

集团官网：www.hqyj.com

嵌入式学院：www.embedu.org

移动互联网学院：www.3g-edu.org

企业学院：www.farsight.com.cn

物联网学院：www.topsight.cn

研发中心：dev.hqyj.com

集团总部地址：北京市海淀区西三旗悦秀路北京明园大学校内 华清远见教育集团

北京地址：北京市海淀区西三旗悦秀路北京明园大学校区，电话：010-82600386/5

上海地址：上海市徐汇区漕溪路 250 号银海大厦 11 层 B 区，电话：021-54485127

深圳地址：深圳市龙华新区人民北路美丽 AAA 大厦 15 层，电话：0755-22193762

成都地址：成都市武侯区科华北路 99 号科华大厦 6 层，电话：028-85405115

南京地址：南京市白下区汉中路 185 号鸿运大厦 10 层，电话：025-86551900

武汉地址：武汉市工程大学卓刀泉校区科技孵化器大楼 8 层，电话：027-87804688

西安地址：西安市高新区高新一路 12 号创业大厦 D3 楼 5 层，电话：029-68785218